

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-051299

(43)Date of publication of application : 20.02.1998

(51)Int.Cl. H03L 1/00  
H03L 7/08  
// H04B 1/16

(21)Application number : 08-198963

(71)Applicant : NEC CORP

(22)Date of filing : 29.07.1996

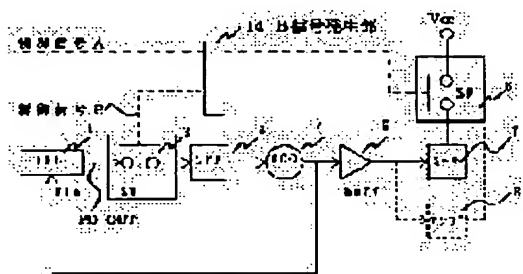
(72)Inventor : MANZEN YOSHIHISA

## (54) PLL FREQUENCY SYNTHESIZER CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To obtain the circuit, preventing frequency fluctuation due to load fluctuation of a conventional PLL frequency synthesizer circuit adopting a conventional technology.

SOLUTION: A switch SW 2 is provided between a PLL synthesizer 1 and an LPF 3, the switch SW 2 is open before an on/off timing of a power supply of an amplifier or a mixture being a load circuit, so as to disconnect an output of a phase comparator of the PLL synthesizer IC from the LPF, thereby keeping a frequency of a VCO 4 constant. After the on/off of a power supply for the load circuit, the switch SW 2 is closed to again connect an output of the phase comparator of the PLL to the LPF. Thus, frequency fluctuations due to the on/off of the power supply of the amplifier or the mixer which is the load circuit for the PLL frequency synthesizer is eliminated.



## LEGAL STATUS

[Date of request for examination] 29.07.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2924803

[Date of registration] 07.05.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-51299

(43)公開日 平成10年(1998) 2月20日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 L	1/00		H 0 3 L	1/00
	7/08		H 0 4 B	1/16
// H 0 4 B	1/16		H 0 3 L	7/08
				R
				Z

審査請求 有 請求項の数3 O L (全 5 頁)

(21)出願番号 特願平8-198963

(22)出願日 平成8年(1996) 7月29日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 萬勝 義久

東京都港区芝五丁目7番1号 日本電気株式会社内

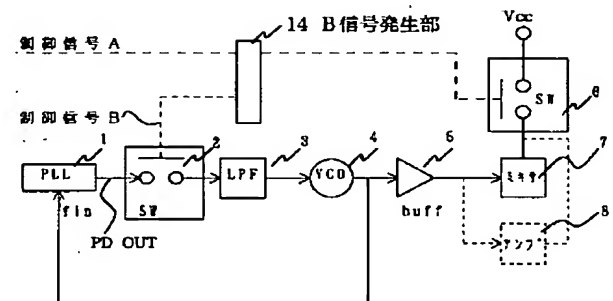
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 P L L周波数シンセサイザ回路

(57)【要約】

【課題】 従来の技術におけるP L L周波数シンセサイザ回路の負荷変動による周波数変動を防止する回路の提案である。

【解決手段】 P L Lシンセサイザ1とL P F 3との間にスイッチS W 2を設け、負荷回路であるミキサ、または、アンプの電源のO N / O F Fのタイミングより前にスイッチS W 2をO F Fとし、P L LシンセサイザI Cの位相比較器の出力をL P Fから切り離すことによりV C O 4を周波数一定に保ち、負荷回路電源のO N / O F F後、スイッチS W 2をO Nとし、再度P L Lの位相比較器の出力をL P Fに接続する。これにより、P L L周波数シンセサイザの負荷回路のミキサまたはアンプの電源O N / O F Fによる周波数変動を取り除くことができる。



## 【特許請求の範囲】

【請求項 1】 フェーズロックループを使用した PLL シンセサイザ IC と、該 IC の出力を直流電圧に変換する低域通過ろ波器 LPF と、制御電圧に応じた周波数を出力する電圧制御発振回路 VCO を含む PLL 周波数シンセサイザ回路において、

負荷回路の電源の ON/OFF のタイミングより前に、PLL シンセサイザ IC の位相比較器の出力を LPF から切り離し、その後、該 PLL シンセサイザ IC の位相比較器の出力を LPF に再度接続する切り換え手段を有することを特徴とする PLL 周波数シンセサイザ回路。

【請求項 2】 前記切り換え手段が、PLL シンセサイザ IC と前記 LPF との間に設けられた第 1 のスイッチ回路と、

前記負荷回路の電源スイッチの ON/OFF の直前に前記第 1 のスイッチ回路を OFF させ、前記負荷回路の電源が ON/OFF された直後に前記第 1 のスイッチ回路を ON させる制御信号発生手段とを有する請求項 1 記載の PLL 周波数シンセサイザ回路。

【請求項 3】 前記切り換え手段が、前記 VCO の出力を N 分周する N カウンタと、基準周波数を R 分周する R カウンタと、位相比較器とを有する PLL シンセサイザ IC 内に設けられ、N カウンタの出力と R カウンタの出力を選択的に切り換えて位相比較器に接続する第 2 のスイッチ回路と、

常時第 2 のスイッチ回路を N カウンタの出力を前記位相比較器に接続させており、前記負荷回路の電源スイッチの ON/OFF の直前に、N カウンタの接続から R カウンタの接続に切り換えて位相比較器の出力をハイインピーダンスにし、前記負荷回路の電源スイッチの ON/OFF の直後に前記第 2 のスイッチ回路の R カウンタの接続を N カウンタの接続に復旧する制御信号発生手段とを有する請求項 1 記載の PLL 周波数シンセサイザ回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、PLL 周波数シンセサイザ回路に関し、特に位相比較器の出力がチャージポンプ方式の PLL シンセサイザ IC を使用した PLL 周波数シンセサイザ回路に関する。

## 【0002】

【従来の技術】 従来の周波数シンセサイザ回路は、図 5 に示すように、制御電圧に応じた周波数を出力する電圧制御発振回路（以下 VCO と称す）4 と、その出力周波数を分周し、基準周波数との差に応じた出力（以下 PD

OUT と称す）を送出する PLL 1 と、PLL 1 からの PD OUT 出力を積分して直流電圧に変換する低域通過フィルタ（以下 LPF と称す）3 と、PLL ループ回路に影響を与えないように VCO 4 の出力を次段の回路に伝達するために設けられたバッファ回路（以下 buff と称す）buff 5 と、その buff 5 の出力に

より動作する負荷回路であるミキサ 7、またはアンプ 8 と、それらの電源を接続するスイッチ（以下 SW と記す）SW 6 と、そのスイッチを制御する制御信号 A とを有する。

【0003】 以上のように構成された PLL 周波数シンセサイザ回路について、以下にその動作について説明する。

【0004】 制御信号 A により SWa 6 は OFF の状態で、PLL 1、LPF 3、VCO 4、buff 5 の回路を動作させ、PLL シンセサイザ IC をある周波数に収束させる。その後、制御信号 A により SW 6 を ON 状態として、ミキサ 7 またはアンプ 8 の電源を投入する。電源投入に時間的な差を持たせる理由は、ミキサまたはアンプ回路の消費電流が比較的大きいことによる消費電流の削減の為であり、電池駆動等の小型の携帯無線機ではパワーセーブの手法として一般的な手法である。

【0005】 次に、本動作を制御信号 A のタイミングと VCO 4 の出力周波数について、時間軸で表したものが図 6 である。ミキサ 7 またはアンプ 8 に電源が投入された瞬間に VCO 4 の出力周波数は大きく変動し、その変動は暫くすると、PLL のループの収束の力により、元の周波数に落ち着く。また、同様にミキサ 7 またはアンプ 8 の電源を OFF した瞬間も VCO の出力周波数は大きく変動する。周波数変動がおさまる時間は、周波数ループの設計、および、buff 5 の設計に依存する。

【0006】 このような周波数変動の原因は、電源投入または断によりミキサ 7 またはアンプ 8 の入力インピーダンスが急激に変化するためであり、このインピーダンスの激変が PLL のループに対しての急激な負荷変動となり、周波数変動を引き起こすものである。このように、従来の PLL 周波数シンセサイザ回路では、アンプまたはミキサの電源の ON、OFF により周波数の変動が生じる。

【0007】 この従来の PLL 周波数シンセサイザの周波数変動の問題に対して、アンプの電源の ON/OFF に関わらずアンプの入力インピーダンスが一定となるようにする手法（特開平 2-44923）が提示されているが、インピーダンスを一定にする回路に抵抗とコンデンサを用いたことにより、回路遅延が発生し、完全に周波数変動を抑えられず、回路規模が大きいう問題が残っている。

【0008】 また、電源の ON/OFF に合わせて VCO に対して、周波数変動と逆の信号を変調信号として入力し、周波数変動を抑える手法（特開平 1-183920）が提示されているが、この方法にも、逆信号のレベルをどれくらいに設定するかが難しいという問題点がある。

## 【0009】

【発明が解決しようとする課題】 上述したように従来の PLL 周波数シンセサイザ回路は、負荷回路のミキサ

や、アンプの電源のON/OFF時にVCO出力に周波数変動が発生し、この変動を防止するために、特開平2-44923号公報では回路遅延が発生し、かつ、回路規模が増大し、特開平1-183920号公報では、逆信号のレベル設定が困難であるという欠点がある。

【0010】本発明の目的は、従来の技術におけるPLL周波数シンセサイザ回路の負荷回路のミキサまたはアンプの電源ON/OFFによる周波数変動の発生を防止し、ミキサまたはアンプの電源ONの後、すぐにデータ送信または、受信を行うことができ、決められた周波数外での送信や、受信が行われる被害を回避することができるPLL周波数シンセサイザ回路の提供である。

【0011】

【課題を解決するための手段】本発明のPLL周波数シンセサイザ回路は、フェーズロックループを使用したPLLシンセサイザICと、該ICからの出力を直流に変換する低域通過フィルタLPFと、制御電圧に応じた周波数を出力するVCOを含むPLL周波数シンセサイザ回路において、負荷回路の電源のON/OFFのタイミングより前に、PLLシンセサイザICの位相比較器の出力をLPFから切り離し、その後、該PLLシンセサイザICの位相比較器の出力をLPFに再度接続する切り換え手段を有する。

【0012】また、前記切り換え手段が、PLLシンセサイザICと前記LPFとの間に設けられた第1のスイッチ回路と、前記負荷回路の電源スイッチのON/OFFの直前に前記第1のスイッチ回路をOFFさせ、前記負荷回路の電源がON/OFFされた直後に前記第1のスイッチ回路をONさせる制御信号発生手段とを有するのが好ましい実施形態である。

【0013】さらに、前記切り換え手段が、前記VCOの出力をN分周するNカウンタと、基準周波数をR分周するRカウンタと、位相比較器とを有するPLLシンセサイザIC内に設けられ、Nカウンタの出力とRカウンタの出力を選択的に切り換えて位相比較器に接続する第2のスイッチ回路と、常時第2のスイッチ回路をNカウンタの出力を前記位相比較器に接続させており、前記負荷回路の電源スイッチのON/OFFの直前に、Nカウンタの接続からRカウンタの接続に切り換えて位相比較器の出力をハイインピーダンスにし、前記負荷回路の電源スイッチのON/OFFの直後に前記第2のスイッチ回路のRカウンタの接続をNカウンタの接続に復旧する制御信号発生手段とを有するPLL周波数シンセサイザ回路も構成を簡単にする他の好ましい実施形態である。

【0014】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。図1は本発明のPLL周波数シンセサイザ回路の第1の実施例の概略構成図である。このPLL周波数シンセサイザ回路は制御電圧に応じた周波数を出力するVCO4と、その出力周波数

を分周し、基準周波数との差に応じた出力PD OUTを送出するPLLシンセサイザIC1と、該ICの出力であるPD OUTを積分して直流電圧に変換するLPF3と、PD OUTをLPFに接続したり切り離したりするスイッチ（以下SWと称す）2と、そのSW2を制御する制御信号Bと、PLLループ回路に影響を与えないようにVCO4の出力を次段の回路に伝達するために設けられたbuff5と、そのbuff5の出力により動作する負荷回路であるミキサ7、または、アンプ8と、それらの電源を制御するSW6と、そのSW6を制御する制御信号Aとを備えている。ここで、制御信号Bは制御SW6の動作に先だって出力するB信号発生部14によって出力される。

【0015】次に、本発明の実施例の動作について、図2を参照して詳細に説明する。制御信号AによりSW6はOFFの状態で、PLL1、LPF3、VCO4、buff5の回路を動作させ、PLL周波数シンセサイザ回路をある周波数に収束させる。

【0016】その後、制御信号A、Bを図2のようなタイミングによりON/OFFさせると、制御信号AによりSW6をON状態にすることによってミキサ7、またはアンプ8の電源を投入する直前に、制御信号BによりSWb2をOFFしてPDOUTをLPFから切り離し、SW6のON直後に、また制御信号BによりSWb2をONしてPD OUTをLPFに接続する。

【0017】同様に、制御信号AによりSW6をOFF状態にすることによってミキサ7またはアンプ8の電源を断にする直前に、制御信号BによりSWb2をOFFしてPD OUT出力をLPFから切り離し、SW6のON直後、また制御信号BによりSW2をONにしてPD OUT出力をLPFに接続する。

【0018】以上のように、本発明のPLL周波数シンセサイザ回路は、ミキサまたはアンプの電源ON/OFFのタイミングより前に、PLLの位相比較器13（図3に示す）の出力PD OUTをLPFから切り離すことで、VCOの制御電圧を一定に保ち続けるので、ミキサまたはアンプの電源のON/OFFによる周波数変動（図6に示すような）を生じることが無い。この様子を図4に示す。

【0019】さらに、本発明のPLL周波数シンセサイザ回路の第2の実施例を図3に示す。図3の実施例は図1の実施例の中のSW2の機能をPLLシンセサイザICの中で行った場合の例である。

【0020】図3において、PLLシンセサイザIC12は、VCOの出力をN分周するNカウンタ9および水晶発振器等の基準周波数をR分周するRカウンタ10と、NカウンタとRカウンタの出力の位相差に応じた出力を出す位相比較器13と、位相比較器への入力をNカウンタ出力またはRカウンタ出力に切り替えるスイッチSWcとを備えている。

【0021】通常のPLLシンセサイザICにおいては、SW11はa側に固定的に接続されているが、このSW11をb側に切り換えることにより、前述の実施例の図1のSW2をOFFとしたことと同じ効果をもたらす。以下動作について図3を用いて説明する。

【0022】SW11をb側に切り換えると位相比較器13には同じRカウンタ10の出力が入力される。位相比較器13は2つの入力信号の位相差に応じてパルスを出す。同位相（同周波数）の場合、ハイインピーダンス出力となるのでLPFへのチャージ供給は行われず図1のSW2をOFFとした時と同じ効果をもたらす。

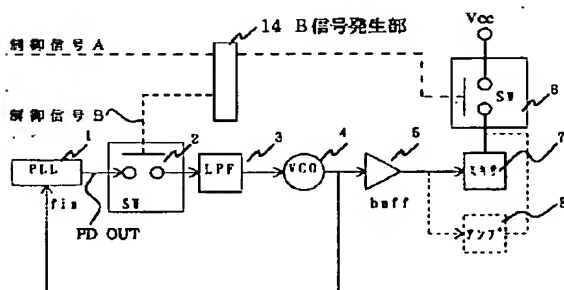
【0023】したがって、図3に示す機能を有するPLLシンセサイザICを使用すれば、図1での実施例でのSWb2の部分は省略され回路的に非常に簡素化され、装置の小型、軽量化に役立つ。

【0024】

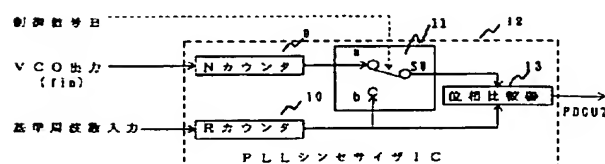
【発明の効果】以上説明したように本発明は、PLL周波数シンセサイザの負荷回路であるミキサ、または、アンプの電源のON/OFFの直前にPD OUTをLPFから切り離し、ミキサ、または、アンプの電源のON/OFFの直後にPD OUTをLPFに接続することにより、周波数の変動を防止するので、回路の保全と負荷回路に電源接続後、すぐに、データ送信または、受信を行うことができ、さらに、決められた周波数外の周波数の発生を回避できる効果がある。

【0025】また、本発明による追加回路はスイッチ回路の挿入のみであり、回路規模も小さくすることができ、小型、軽量化に貢献できる効果がある。

【図1】



【図3】



【図面の簡単な説明】

【図1】本発明のPLL周波数シンセサイザ回路の第1実施例の構成図である。

【図2】本発明のPLL周波数シンセサイザ回路の制御信号のタイミングチャートである。

【図3】本発明のPLL周波数シンセサイザ回路の第2の実施例のPLLシンセサイザのブロック図である。

【図4】本発明のPLL周波数シンセサイザ回路の効果を示す図である。

【図5】従来のPLL周波数シンセサイザ回路の構成を示すブロック図である。

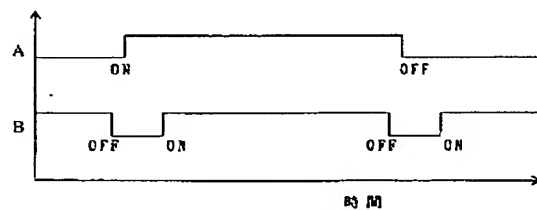
【図6】従来のPLL周波数シンセサイザ回路の動作を示す図である。

【符号の説明】

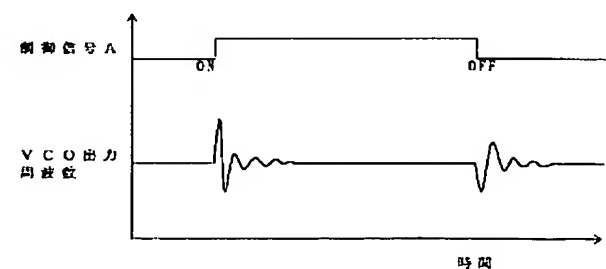
- |    |                |
|----|----------------|
| 1  | PLLシンセサイザIC    |
| 2  | SW             |
| 3  | 低域通過フィルタ (LPF) |
| 4  | 電圧制御発信器 (VCO)  |
| 5  | バッファ           |
| 6  | SW             |
| 7  | ミキサ            |
| 8  | アンプ            |
| 9  | Nカウンタ          |
| 10 | Rカウンタ          |
| 11 | SW             |
| 12 | PLLシンセサイザIC    |
| 13 | 位相比較器          |
| 14 | B信号発生部         |

【図2】

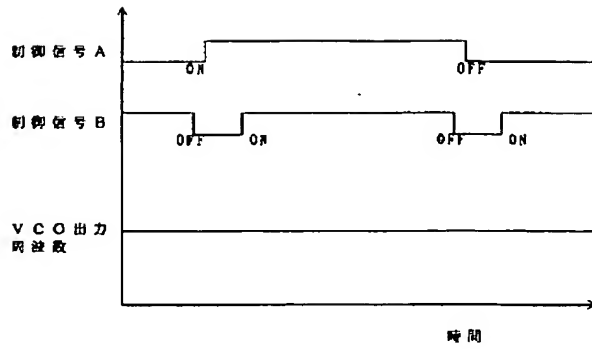
制御信号タイミングチャート



【図6】



【図4】



【図5】

